



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08330533 A**(43) Date of publication of application: **13.12.96**

(51) Int. Cl.

H01L 27/108
H01L 21/8242
H01L 27/04
H01L 21/822

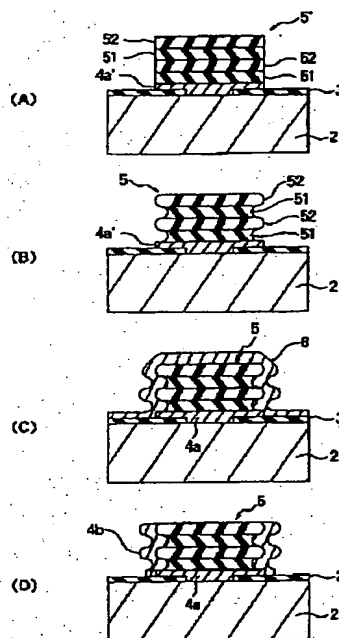
(21) Application number: **07131441**(71) Applicant: **SONY CORP**(22) Date of filing: **30.05.95**(72) Inventor: **ONO KEIICHI**(54) **SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

(57) Abstract:

PURPOSE: To positively improve the area of a storage node for constituting a capacitor.

CONSTITUTION: The section in the vertical direction of a wall body 4b for constituting a storage node electrode is formed zigzag. It can be achieved by forming a wave on the side surface of a sacrificing body 5, forming a conductive film 6 as an electrode on the side surface of the sacrificing body 5 and reflecting the side surface shape of the sacrificing body in the conductive film 6, and then eliminating the sacrificing body 5.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-330533

(43)公開日 平成8年(1996)12月13日

(51)Int.Cl.⁶

H 0 1 L 27/108
21/8242
27/04
21/822

識別記号

庁内整理番号

9276-4M

F I

H 0 1 L 27/10
27/04

6 2 1 C
C

技術表示箇所

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21)出願番号

特願平7-131441

(22)出願日

平成7年(1995)5月30日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 大野 圭一

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

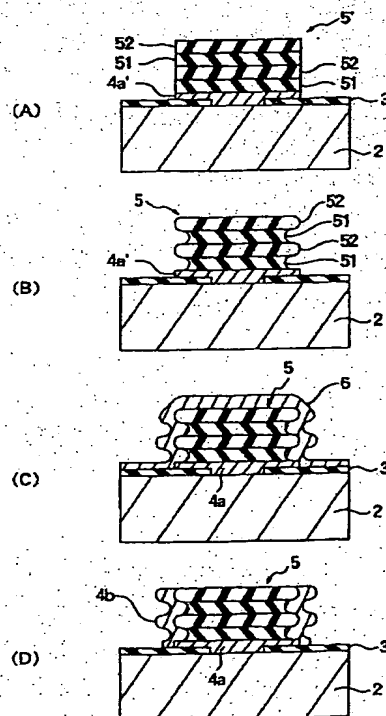
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】 (修正有)

【目的】 キャパシタを構成する記憶ノードの面積を確実に向上できる。

【構成】 記憶ノード電極を構成する壁体4bの縦方向断面を蛇行状に形成する。これは、例えば犠牲体5の側面を波状とし、この犠牲体5の側面に電極としての導電膜6を形成してこの導電膜に犠牲体5の側面形状を反映させた後、犠牲体5を除去することによって、実現することができる。



【特許請求の範囲】

【請求項1】キャパシタが多数形成され、該キャパシタを構成する一方の電極が基板側から立設する壁体で構成される半導体装置において、該電極を構成する壁体の縦方向断面が蛇行状に形成されてなることを特徴とする半導体装置。

【請求項2】前記電極を構成する蛇行状壁体が基板から立設する筒状体を構成する請求項1記載の半導体装置。

【請求項3】キャパシタが多数形成され、該キャパシタを構成する一方の電極が基板側から立設する壁体で構成される半導体装置の該電極を製造する方法であって、エッチング速度が互いに相違する層状領域が交互に形成された犠牲層を成膜する積層工程と、上記工程で得られた犠牲層を所定の形状にパターニングして犠牲体を形成するパターニング工程と、得られた犠牲体の側面をエッチングして該犠牲体の側面に凹凸を形成するエッチング工程と、側面に凹凸が形成された犠牲体の少なくとも該側面を導電膜で被覆する成膜工程と、成膜した導電膜をその少なくとも犠牲体の側面に存する部分を残して除去する導電膜除去工程と、該導電膜を残すように該犠牲体を除去する犠牲体除去工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】前記積層工程において、犠牲体を構成する各膜を化学的蒸着法又は物理的蒸着法で堆積すると共に、各膜に対する不純物濃度を交互に濃淡とすることにより、エッチング速度が異なる膜を交互に積層する請求項3記載の半導体装置の製造方法。

【請求項5】前記積層工程において、犠牲体を構成する一の膜を成膜した後、該一の膜表面に不純物を拡散させて、該一の膜に高濃度不純物層と低濃度不純物層を形成する工程を繰り返すことにより、互いにエッチング速度が異なる層領域を交互に形成する請求項3記載の半導体装置の製造方法。

【請求項6】前記積層工程において、成膜条件が異なる化学的蒸着法により、互いにエッチング速度が異なる膜を交互に堆積する請求項3記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、DRAM等のメモリセルに使用されるキャパシタの容量を増大させた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】DRAM等のメモリセルに使用されるキャパシタ素子を構成する一方の電極としての記憶ノードの面積は、世代の進行に伴い、縮小されているが、必要とされる容量（いわゆるCs）は変わらないため、投影面積を小さくする代わりに、高さを増していく必要がある。記憶ノードの高さは、即ちチップ内の高低差を生み

出す要因となるため、配線の形成などにしわ寄せが起きる。結局、チップ全体として効率的に小さくできないことになる。

【0003】記憶ノードの形状は、種々提案されているが、その中で、1Gbit DRAMの世代の本命といわれるシリンダー型においてもやはり高さが必要なことに変わりはない。このため、例えば粗面ポリシリコンと併用して表面積を増す手法がとられている。

【0004】

【発明が解決しようとする課題】しかしながら、ポリシリコンの粗面化は、結晶のグレインに応じた凹凸を生み出す手段であり、個々の単体の記憶ノードの表面積がばらつく可能性がある。即ち、粗面化の制御性（生産性）に対して不安がある。また、粗面化による面積向上も、～20%程度といわれており、それほど増加しない。

【0005】本発明は、上記事情に鑑みなされたもので、確実に記憶ノードの面積を向上できる半導体装置を提供することを目的とする。また、本発明は、かかる半導体装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、上記目的を達成するため、次の半導体及びその製造方法を提供する。

（1）キャパシタが多数形成され、該キャパシタを構成する一方の電極が基板側から立設する壁体で構成される半導体装置において、該電極を構成する壁体の縦方向断面が蛇行状に形成されてなることを特徴とする半導体装置。

（2）前記電極を構成する蛇行状壁体が基板から立設する筒状体を構成する上記（1）記載の半導体装置。

（3）キャパシタが多数形成され、該キャパシタを構成する一方の電極が基板側から立設する壁体で構成される半導体装置の該電極を製造する方法であって、エッチング速度が互いに相違する層状領域が交互に形成された犠牲層を成膜する積層工程と、上記工程で得られた犠牲層を所定の形状にパターニングして犠牲体を形成するパターニング工程と、得られた犠牲体の側面をエッチングして該犠牲体の側面に凹凸を形成するエッチング工程と、側面に凹凸が形成された犠牲体の少なくとも該側面を導電膜で被覆する成膜工程と、成膜した導電膜をその少なくとも犠牲体の側面に存する部分を残して除去する導電膜除去工程と、該導電膜を残すように該犠牲体を除去する犠牲体除去工程とを有することを特徴とする半導体装置の製造方法。

（4）前記積層工程において、犠牲体を構成する各膜を化学的蒸着法又は物理的蒸着法で堆積すると共に、各膜に対する不純物濃度を交互に濃淡とすることにより、エッチング速度が異なる膜を交互に積層する上記（3）記載の半導体装置の製造方法。

（5）前記積層工程において、犠牲体を構成する一の膜を成膜した後、該一の膜表面に不純物を拡散させて、該

一の膜に高濃度不純物層と低濃度不純物層を形成する工程を繰り返すことにより、互いにエッチング速度が異なる層領域を交互に形成する上記(3)記載の半導体装置の製造方法。

(6) 前記積層工程において、成膜条件が異なる化学的蒸着法により、互いにエッチング速度が異なる膜を交互に堆積する上記(3)記載の半導体装置の製造方法。

【0007】

【作用】本発明の半導体装置は、記憶ノード(電極)を構成する基板から立設する壁体の縦断面を蛇行状としたことにより、単純な平板状の壁体に比較して同じ高さで表面積を向上させることができ、また、同じ表面積であれば、高さを減少させることができる。

【0008】かかる蛇行状壁体で筒状体を構成することにより、いわゆるシリンダー型記憶ノードを構成し、キャパシタの容量を最大限に大きくすることができる。このような記憶ノード形状は、例えば犠牲体の側面を波状とし、この犠牲体の側面に電極としての導電膜を形成してこの導電膜に犠牲体の側面形状を反映させた後、犠牲体を除去することによって、実現することができる。

【0009】犠牲体の側面に波状の凹凸を与えるには、エッチング速度が互いに相違する層状領域を交互に形成した犠牲層を成膜した後、これを所定のパターンに形成して犠牲体を形成した後、該犠牲体の側面をエッチングすることにより、各層状領域のエッチング速度の違いを利用して犠牲体の側面に波状の凹凸を形成することができる。

【0010】このようなエッチング速度が相違する層状領域を交互に形成するには、例えばCVD等により堆積して多層膜を形成する際に、膜に与える不純物濃度を交互に濃淡にすることで、不純物濃度でエッチング速度が相違すること、例えばリンを4重量%ドーピングしたもの、ドーピングしないものに比べて10倍以上エッチング速度が遅いことを利用することができる。

【0011】また、不純物を含まない膜を成膜してこれに例えばイオン注入し、膜の表面近傍を不純物で高濃度化し、これを繰り返すことで、不純物濃度が異なる領域を交互に形成し、上記不純物濃度によりエッチング速度が異なることを利用することもできる。

【0012】更に、CVD等により成膜する場合、成膜条件、例えば原料ガスの種類によって成膜された膜のエッチング速度が異なることを利用し、エッチング速度が相違する膜を順次原料ガスの種類を変えて成膜することで形成することができる。

【0013】

【実施例】以下、本発明の実施例について、図面を参照しながら具体的に説明する。図1は、本発明の半導体装置のキャパシタを構成する一方の電極としての記憶ノードの一例を示す断面図である。

【0014】この半導体装置1には、シリコンなどの基

板2表面に窒化ケイ素などの絶縁膜3が形成され、この絶縁膜3に設けられた開口部を覆って記憶ノード4が形成されている。この記憶ノード4は、導電性のポリシリコンや α シリコン等からなる底壁電極4aと側壁電極4bとで構成され、これらで上端開口の有底筒状体の記憶ノード4が形成されている。また、側壁電極4bは、本願発明の特徴で、縦断面が図示の如く蛇行状になっており、その分表面積が大きくなるように構成されている。図1では示していないが、この記憶ノードは、絶縁膜を介して導電膜が形成され、キャパシタ素子を構成する。

【0015】次に、このような断面蛇行状の側壁電極4bをもつ記憶ノード4を製造する方法について、図2を参照しながら説明する。まず、図2(A)に示すように、基板2の表面に形成された絶縁膜3上にポリシリコンや α シリコン膜の導電膜4a'をCVD等で成膜し、この上にエッチング速度が異なる絶縁膜、例えば不純物濃度が薄い酸化シリコン膜51と不純物濃度が高い酸化シリコン膜52とを交互に順次堆積して多層膜を形成し、その後、リソグラフィを利用して短軸柱状体の形状にパターンニングして犠牲体5'を形成する。

【0016】次に、この犠牲体5'に等方性エッチングを施し、犠牲体5'を構成する各膜のエッチング速度の違いを利用して、犠牲体5の側面に、図2(B)に示すように、波状の凹凸を形成する。図では、成膜した酸化シリコン膜のうち、エッチング速度が速い膜(不純物濃度が低い膜51)が選択的にエッチングされ、浸食されて凹部を形成した状態となっている。この等方性エッチングとしては、例えば酸化シリコンを成膜した場合は、フッ化水素溶液に浸漬する方法を採用することができる。

【0017】その後、図2(C)に示すように、犠牲体5の側面の凹凸を反映する程度の薄膜のポリシリコンやアモルファスシリコンなどの導電膜6を例えば厚さ0.1 μ mで形成し、更に図2(D)に示すように、全面エッチバックして犠牲体5の側面にサイドウォール(側壁電極4b)を形成すると共に、犠牲体5の表面を露出させる。そして、最後に、犠牲体5を、例えば酸化ケイ素であれば窒化ケイ素の絶縁層3をエッチストップパーとしてエッチングで除去することにより、図1の構造の記憶ノード4を得ることができる。

【0018】図2(A)に示したような、エッチング速度が異なる層領域が交互に形成された犠牲体5'を得るには、種々の方法が考えられる。本発明においては、図3に示すように、次の方法を提案する。即ち、第1に、酸化シリコンなどの不純物濃度が異なると、エッチング速度が異なり、例えば酸化シリコンに例えばリンが4重量%含まれると、リンを含有しないものに比べて10倍以上エッチング速度が遅くなることを利用する。

【0019】図3(A)に示すように、CVD、PVDにより、例えば酸化シリコンを堆積中に、導入する不純

物の量を変化させて低濃度領域（ゼロでも良い）51と高濃度領域52とを交互に堆積する。この場合、高濃度領域の不純物濃度は例えば4～5wt%程度、低濃度領域の不純物濃度は、例えば0～3wt%程度とすることができる。不純物濃度をコントロールするには、例えばドーパントのソースガス PH_4 の流量を変化させて不純物濃度を変化させることができる。また、不純物としては、リンに限らず例えばホウ素でも良い。

【0020】同じ原理を利用して、図3（B）に示すように、例えば酸化シリコンを成膜した後、イオン注入などで例えばリンを酸化シリコン膜51の表面に注入し、酸化シリコン表面にリンの高濃度領域52を形成し、更にこの上に酸化シリコンを成膜し、同じくイオン注入をすることを繰り返すことで、不純物の高濃度領域52と低濃度領域51とを交互に形成することができる。

【0021】第2に、成膜時の条件を変えることによりエッチング速度が異なることを利用する。即ち、例えば、 TEOS （テトラエトキシシラン）ガスを用いて堆積された酸化シリコン膜の例えばフッ化水素浸漬時のエッチング速度は、 SiH_4 ガスを用いて堆積された酸化シリコン膜より速いことを利用する。従って、図3

（C）に示すように、 TEOS を用いた堆積膜51と SiH_4 膜を用いた堆積膜52とを交互に成膜することを繰り返すことで、エッチング速度が異なる領域が交互に形成された犠牲層を得ることができ、これを例えばフッ化水素液を用いた等方性エッチングを施すことで犠牲体の側面を波状にすることができる。

【0022】本発明は、上記実施例に限定されるものではない。例えば、エッチング速度が異なる層領域を交互

に形成する方法は上記例に限られるものではなく、その他本発明の要旨を逸脱しない範囲で種々変更することができる。

【0023】

【発明の効果】本発明の半導体装置は、記憶ノードの表面積を大きくしてキャパシタの容量を大きくすることができるので、微細配線、特にキャパシタの高さの低減に有効である。

【0024】また、本発明の半導体装置の製造方法によれば、かかる記憶ノードを容易にかつ確実に製造することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置における記憶ノードを示す断面図である。

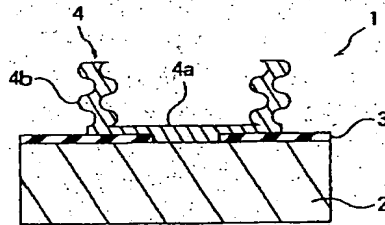
【図2】図1の記憶ノードの製造工程の一例を示すフローチャートである。

【図3】本発明にかかる犠牲体を構成する成膜工程を示す断面図である。

【符号の説明】

1	半導体装置
2	基板
3	絶縁膜
4	記憶ノード
4a	底壁電極
4b	側壁電極
5'	側壁を浸食前の犠牲体
5	犠牲体
51	エッチング速度が速い層領域
52	エッチング速度が遅い層領域

【図1】



【図3】

